

INVESTICE DO ROZVOJE VZDĚLÁVÁNÍ

Efektivní programování mikropočítačů v embedded aplikacích

Učební texty ke kurzu

Autoři:

Ing. Jaroslav Lepka, Ing. Pavel Grasblum, Ph.D.

(Freescale Semiconductor, Rožnov p. R.)

Datum:

29.11. – 30.11. 2012

Centrum pro rozvoj výzkumu pokročilých řídicích a senzorických technologií CZ.1.07/2.3.00/09.0031

TENTO STUDIJNÍ MATERIÁL JE SPOLUFINANCOVÁN EVROPSKÝM SOCIÁLNÍM
FONDEM A STÁTNÍM ROZPOČTEM ČESKÉ REPUBLIKY

OBSAH

Obsah	1
1. Efektivní programování mikropočítačů v Embedded systémech.....	3
1.1. Přepínač sběrnic (Crossbar switch)	3
1.2. Řadič paměti FLASH (Flash memory controller – FMC)	8
1.2.1. Speculation buffer	9
1.2.2. 64-bit, 4 way, 8-set cache memory	10
1.2.2.1. Direct mapped cache memory.....	11
1.2.2.2. Set Associative cache memory.....	12
1.2.2.3. Full Associative cache memory	12
1.2.3. Single Entry Buffer	13
2. Novinky v Mikropočítačích FREESCALE řady DSC 56F84xxx	14
2.1. Přepínač sběrnice a řadič paměti FLASH	16
2.2. Řadič přístupu do paměti (MRP)	17
2.3. Přímý přístup do paměti (DMA)	17
2.4. CRC modul	18
2.5. 12-bit Cyclic Analog-to-Digital Converter (ADC12)	18
2.5.1. ADC - vlastnosti.....	18
2.5.2. ADC – blokový diagram.....	19
2.5.3. ADC – zpracování dat převodníkem	19
2.6. 16-bit SAR Analog-to-Digital Converter (ADC16)	22
2.7. Crossbar Switch (XBAR) + AOI modul	23
2.8. eFlexPWM moduly (PWMA, PWMB).....	25
2.8.1. eFlexPWM – vlastnosti.....	25
2.8.2. eFlexPWM – blokový diagram celého modulu	27
2.8.3. eFlexPWM – principiální schéma	27
2.8.4. eFlexPWM – detail submodulu	29

2.8.5.	eFlexPWM – PWM generator	30
2.8.6.	eFlexPWM – Force Output Logic.....	30
2.8.7.	eFlexPWM – Complementary and Deadtime Logic	31
2.8.8.	eFlexPWM – Fractional Delay and Output Logic	32
2.8.9.	eFlexPWM – Princip generování obecného PWM signálu	33
2.9.	Quadrature dekodér (ENC)	33
Seznam použité literatury		35

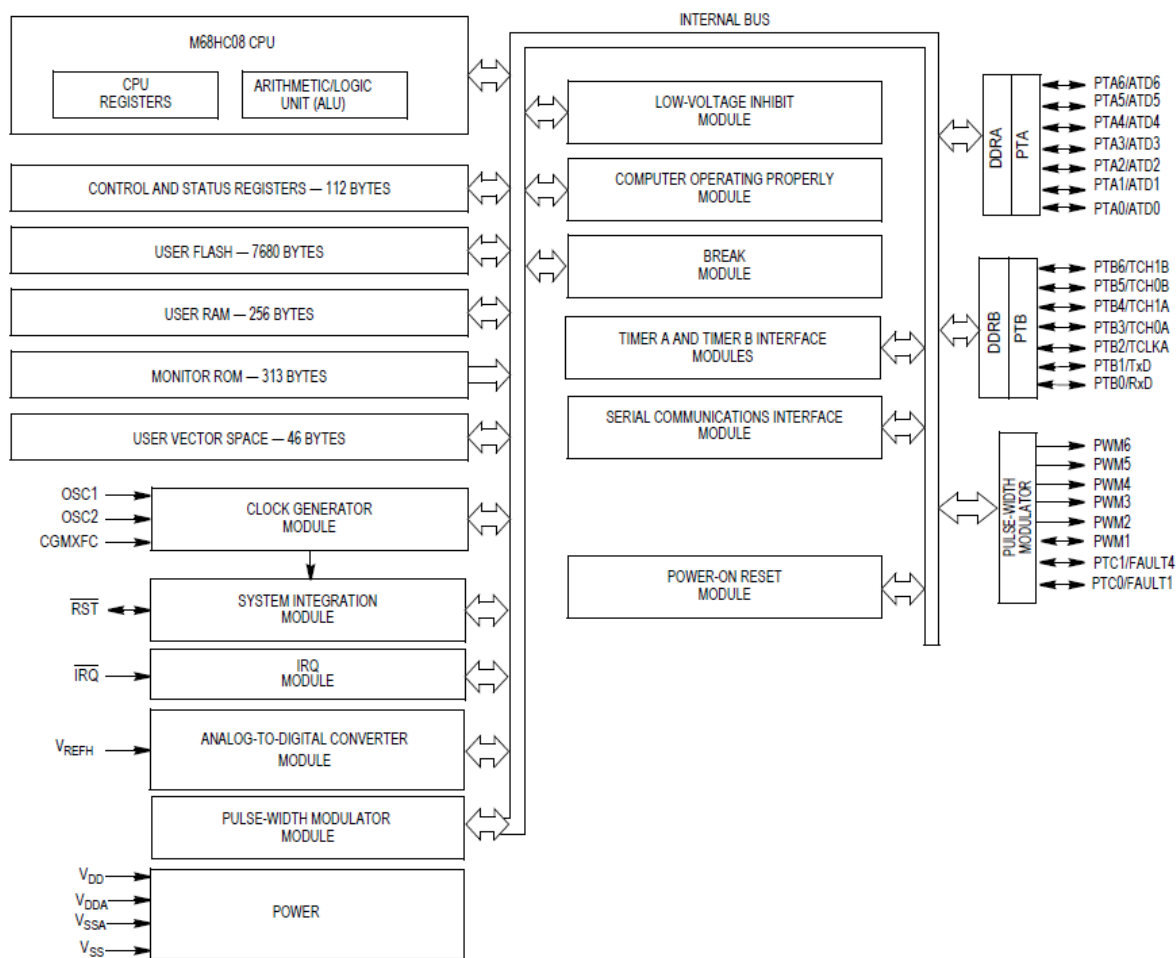
1. EFEKTIVNÍ PROGRAMOVÁNÍ MIKROPOČÍTAČŮ V EMBEDDED SYSTÉMECH

Moderní mikroprocesory přinášejí do embedded aplikací stále větší a větší výpočetní výkon, který byl v minulosti typický například pro stolní počítače. S rostoucím výpočetním výkonem se do mikroprocesoru dostávají technologie v této kategorii dosud nezvyklé jako komplikované sběrnice systémy, výkonné paměťové řadiče, vyrovnávací paměti nebo přímý přístup do paměti. Všechny tyto obvody spolu s centrální výpočetní jednotkou tvoří komplexní systém, jehož správná konfigurace může výrazně ovlivnit výkon celého mikroprocesoru. Proto nejen správné a efektivní programovací techniky ale i podrobné znalosti funkce celého systému jsou zapotřebí k úspěšnému programování embedded aplikací. Jde zejména o aplikace v reálném čase, které vyžadují deterministické chování systému. A právě zaručení deterministického chování je u moderních mikroprocesorů stále složitější.

V následující kapitole si popíšeme některé nové technologie implementované v nejnovějších mikroprocesorech a jejich vliv na výkon celého procesoru.

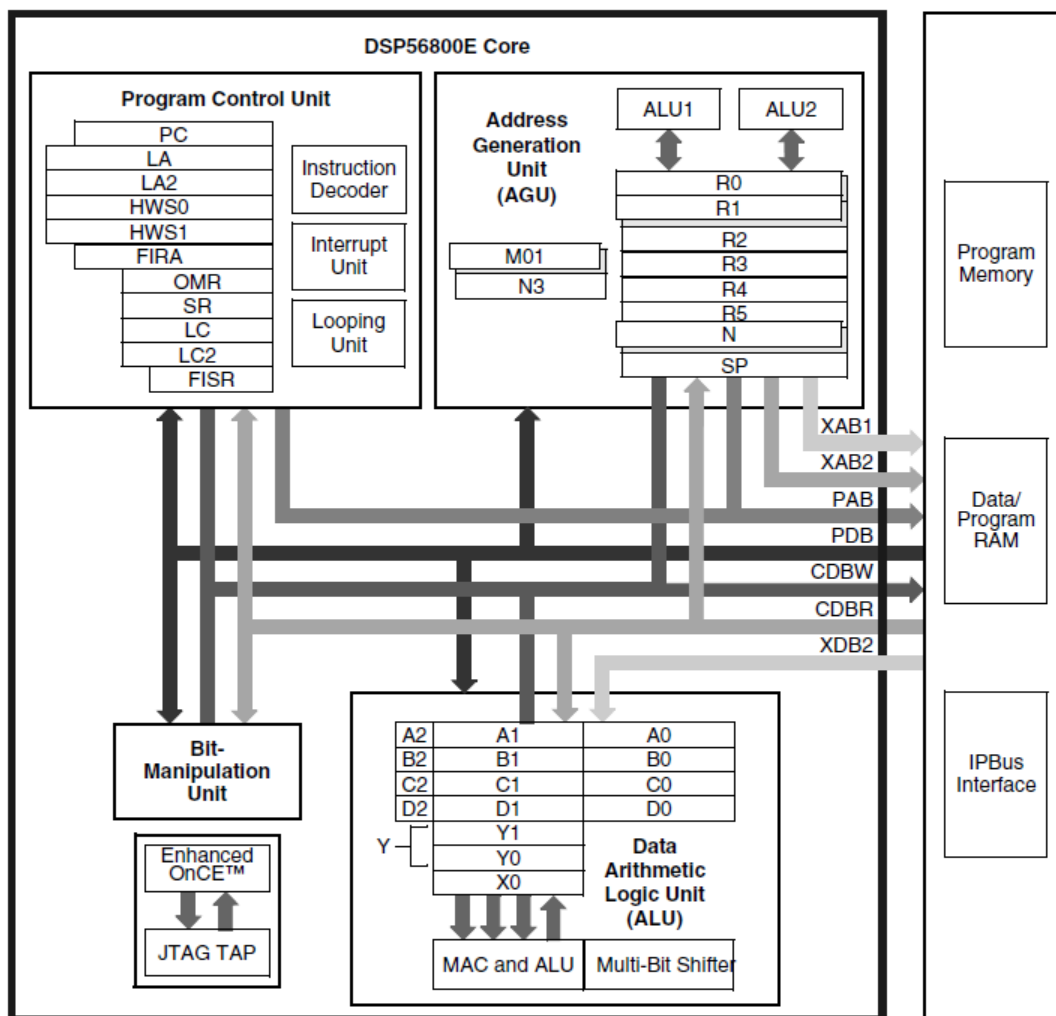
1.1. Přepínač sběrnice (Crossbar switch)

V minulosti 8-bitové a 16-bitové mikroprocesory používali a stále používají jednoduchý sběrnice systém. Na Obrázku 1.1 můžeme vidět blokové schéma 8-bitového mikroprocesoru používající von Neumann architekturu. Centrální procesorová jednotka je přímo připojena přes společnou sběrnici pro program i data přímo k pamětem FLASH a RAM. Stejná sběrnice zajišťuje přístup k periferiím.



Obrázek 1.1 Sběrníkový systém 8-bitového MCU MC68HC908MR8

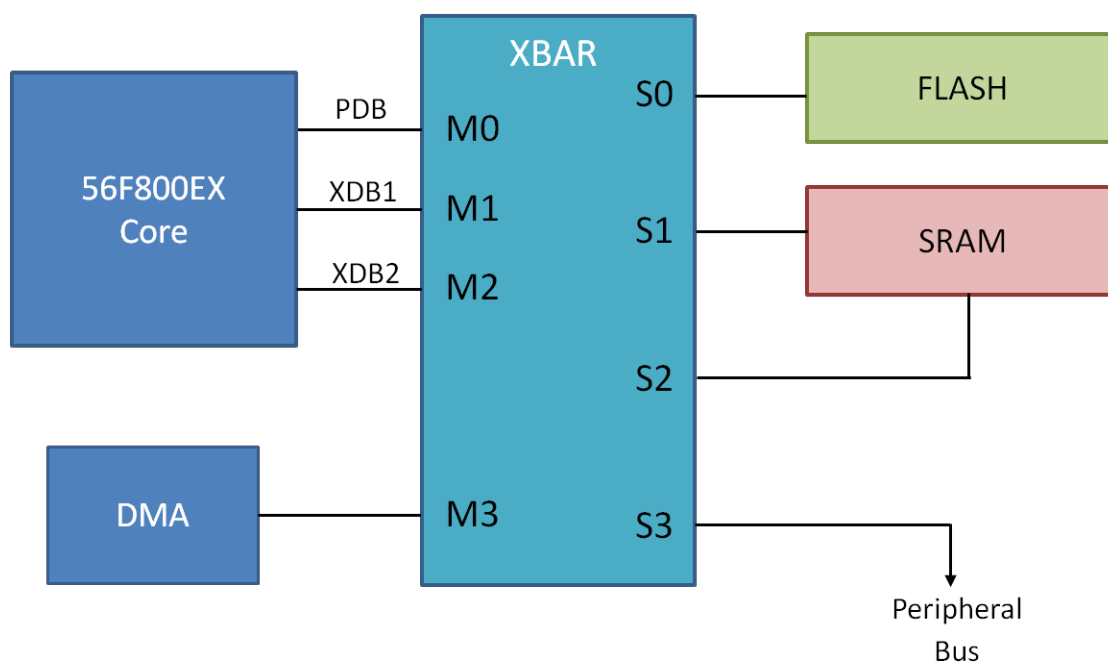
Obrázek 1.2 zobrazuje blokové schéma signálního procesoru využívajícího hardwarovou architekturu. I v tomto případě jsou všechny sběrnice připojeny přímo k pamětem FLASH a RAM včetně periferií.



Obrázek 1.2 Sběrníkový systém 16-bitového DSC MC56F82xx

V obou případech je centrální procesorová jednotka (CPU) jediným řídícím členem na sběrnici přistupujícím do pamětí mikroprocesoru a k perifériím.

S příchodem výkonnějších 32-bitových mikroprocesorů centrální procesorová jednotka již není jediným řídícím členem na sběrnici, ale musí se dělit o sběrnici s ostatními perifériemi. Jedná se o periférie, které samostatně přistupují do pamětí mikroprocesoru bez zásahu centrální procesorové jednotky, například řadič přímého přístupu do paměti. V těchto případech je potřeba vyřešit sdílení sběrnic mezi všemi obvody, vyžadujícími přístup do pamětí případně ostatních periférií. A toto je úkolem přepínače sběrnic (crossbar switch).

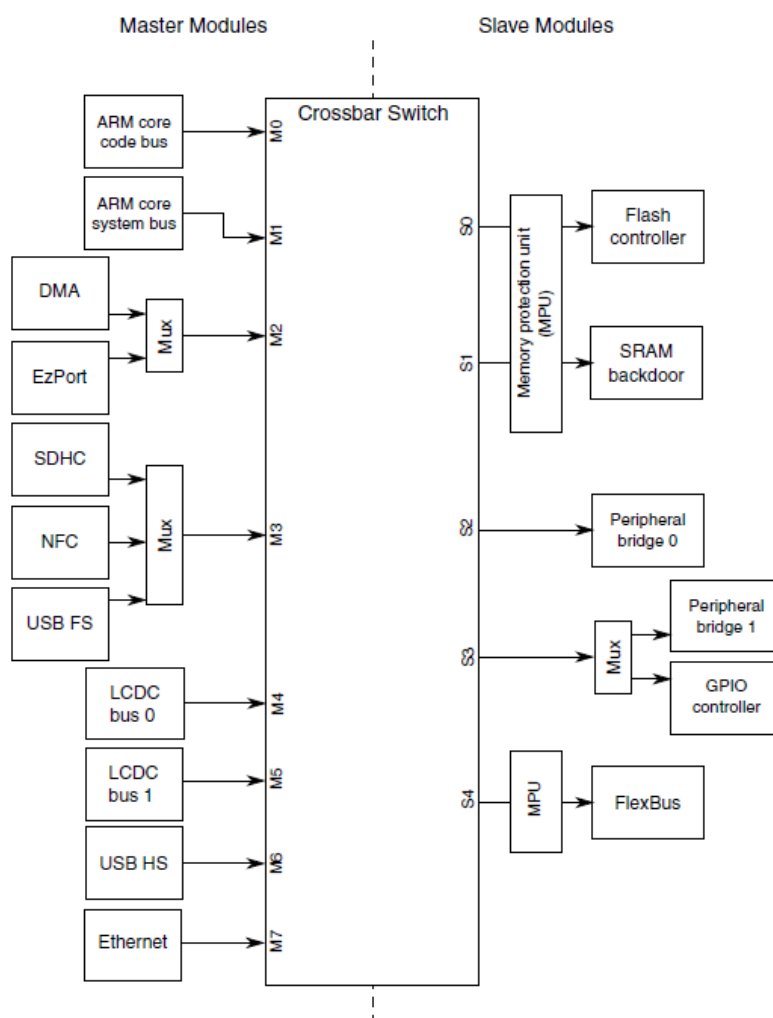


Obrázek 1.3 Sběrníkový přepínač DSC MC56F84xxx

Implementace jednoduchého přepínače sběrnic je zobrazena na obrázku č. 1.3. Jde o přepínač sběrnic nového digitálního signálového kontroléru DSC 56F84xxx.

Přepínač sběrnic obsahuje dva typy portů – master a slave. Při symetrické implementaci přepínače může kterýkoliv master port přistoupit na kterýkoliv slave port. V případě, že každý master port požaduje komunikaci s různým slave portem, komunikace probíhá paralelně. Každému master portu může být přiřazena různá priorita. V případě přístupu dvou master portů na jeden slave port, vyhrává master port s vyšší prioritou. U každého slave portu lze nastavit jakým způsobem bude zpracovávat současné požadavky od master portů. K dispozici jsou dva módy: pevná priorita nebo round robin mód. Je-li zvolena pevná priorita, při současném přístupu dvou nebo více master portů, vyhrává přístup master port s nejvyšší prioritou. Ve druhém případě se porty střídají podle své priority. Toto nastavení je velmi důležité, protože špatné nastavení může blokovat čtení/zápis dat z/do paměti a centrální procesorové jednotky. Pokud nelze předem definovat datové toky, je preferováno nastavení round robin. U slave portu lze také nastavit takzvanou parkovací pozici. Parkovací pozice definuje na jaký master port je slave port nastavený, pokud není požadován žádný přenos dat. Tímto lze eliminovat jeden wait state, protože

přepnutí z jednoho master portu na druhý trvá právě jeden hodinový cyklus. Můžeme tak například nastavit slave port připojený k flash paměti, aby byl defaultně připojen k master portu programové sběrnice. Lze totiž předpokládat, že většina komunikace bude probíhat právě mezi těmito dvěma porty.



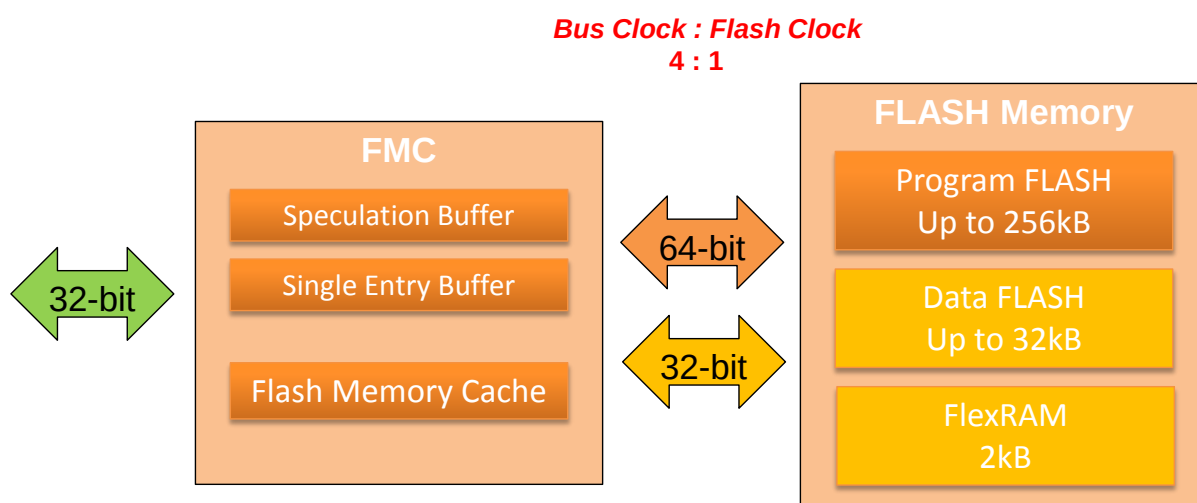
Obrázek 1.4 Sběrniceový přepínač řady Kinetis K70

Obrázek 1.3 zobrazuje jednodušší provedení sběrniceového přepínače. Na master porty M0-M2 jsou připojeny sběrnice procesorové jednotky, na master port M3 je připojen řadič přímého přístupu do pamětí (DMA). Na slave port S0 je připojena paměť FLASH, na slave porty S1, S2 je připojena paměť RAM (signálový kontrolér umožňuje duální přenos z paměti RAM) a na poslední slave port je připojena sběrnice pro připojení periférií. DSC 56F84xxx implementuje přepínač sběrnic v jednodušším provedení a tak neumožňuje nastavení priorit u master portu ani způsob vyhodnocování priority a parkovací pozice u slave

portů. Na Obrázku 1.4 můžeme vidět mnohem složitější implementaci sběrniceového přepínače z mikroprocesoru řady Kinetis K70. Tento přepínač obsahuje 8 master portů a 4 slave porty včetně plné konfigurace jak je popsáno výše.

1.2. Řadič paměti FLASH (Flash memory controller – FMC)

Jeden z dalších obvodů, který může ovlivnit celkový výkon mikroprocesoru je implementace řadiče FLASH paměti. Dnešní výkonné mikroprocesory běží na frekvencích mnohem větších než je dnešní dostupná technologie pro paměti FLASH. Zatímco mikroprocesory běží na frekvencích 100-200MHz, dostupné paměti FLASH mají maximální povolenou pracovní frekvenci okolo 30MHz. Proto nemůže být program vykonáván přímo z paměti FLASH. Běh mikroprocesoru na maximální frekvenci zajišťuje řadič paměti FLASH.



Obrázek 1.5 Implementace paměťového řadiče na signálovém procesoru DSC MC56F84xx

Implementace paměťového řadiče na signálovém procesoru DSC MC56F84xx je zobrazena na Obrázku 1.5. Tento signálový procesor běží na frekvenci 100 MHz, zatímco maximální dovolená frekvence paměti FLASH je pouze 25 MHz. Princip paměťového řadiče je poměrně jednoduchý. Protože jsme schopni z paměti FLASH číst čtyřikrát pomaleji než požaduje centrální procesorová jednotka, musíme přečíst čtyřikrát více dat. Protože MC56F84xxx má 16-bitové instrukce, musíme během jednoho čtecího cyklu přečíst 64-bitů, nebo-li 4 instrukce. Tyto

instrukce jsou postupně čteny centrální procesorovou jednotkou, která může běžet na maximální frekvenci 100 MHz.

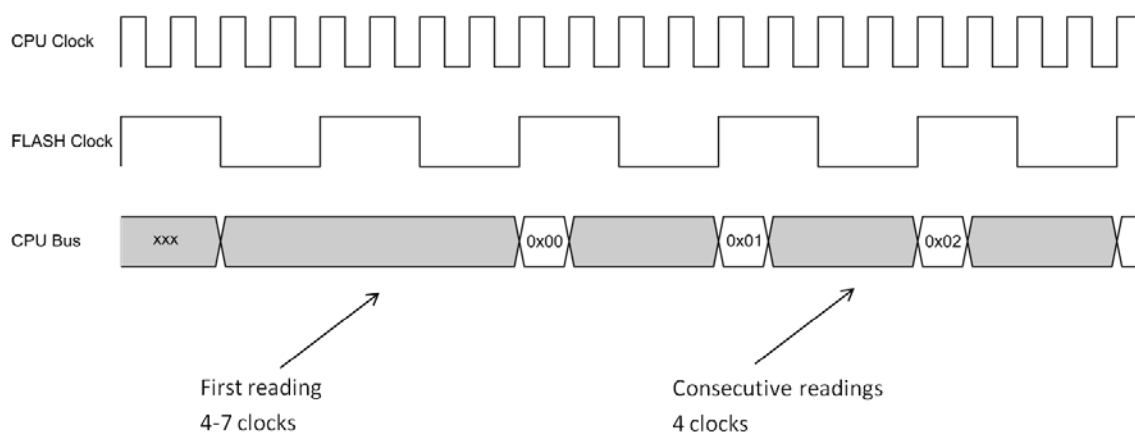
Řadič paměti FLASH se skládá ze tří částí:

- Speculation buffer (spekulativní vyrovnávací paměť)
- 64-bit, 4 way, 8-set cache memory (vyrovnávací paměť)
- Single Entry Buffer (vyrovnávací paměť)

Speculation buffer zajišťuje plynulé čtení z paměti FLASH při lineárním běhu programu. Vyrovnávací paměť zajišťuje rychlý přístup k již vykonanému programu, který je uložený ve vyrovnávací paměti. Single entry buffer slouží ke stejnému účelu jako vyrovnávací paměť s tím rozdílem, že single entry buffer může uložit pouze 64-bitů dat (jeden set).

1.2.1. *Speculation buffer*

Funkci speculation bufferu si vysvětlíme na následujících dvou obrázcích. Obrázek 1.6 zobrazuje čtení dat z FLASH paměti bez použití speculation bufferu. Na obrázku můžeme vidět, že centrální procesorová jednotka zahájí čtení právě v polovině čtecího cyklu FLASH paměti. Celý čtecí cyklus trvá 4 hodinové cykly, proto první data jsou dostupná po 6-ti hodinových cyklech. První čtecí cyklus tak může trvat 4 až 7 hodinových cyklů v závislosti na okamžiku, kdy centrální procesorová jednotka zahájí čtení dat z FLASH paměti.

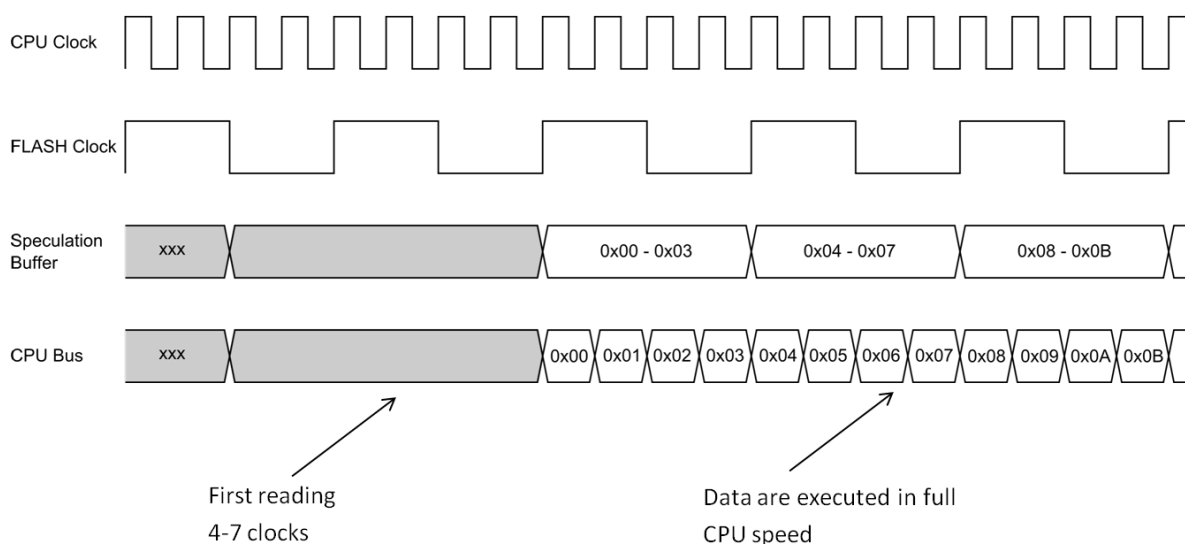


Obrázek 1.6 Čtení z FLASH paměti bez Speculation Buffer

Jakmile centrální procesorová jednotka získá první data (1. instrukci), dojde k jejímu vykonání. Protože další data jsou dostupná až za další tři hodinové

cykly, centrální procesorová jednotka musí tyto tři cykly čekat. Výsledkem je, že centrální procesorová jednotka získá jednu instrukci každé čtyři hodinové cykly, a proto reálná rychlost mikrokontroléru je pouhých 25MHz.

Na obrázku č. 1.7 můžeme vidět použití speculation bufferu. I v tomto případě trvá první čtení 4 až 7 hodinových cyklů v závislosti na zahájení čtecího cyklu, protože speculation buffer je prázdný. Během prvního čtení se zaplní celý speculation buffer a centrální procesorová jednotka může plynule vykonávat program, protože čtení následujících instrukcí probíhá ze speculation bufferu. Po vykonání čtvrté instrukce končí další čtecí cyklus z FLASH paměti a nová data se načtou do speculation bufferu.



Obrázek 1.7 Čtení z FLASH paměti s využitím Speculation Buffer

Speculation buffer tak umožňuje běh lineárního programu v plné rychlosti centrální procesorové jednotky. V případě skoku v programu dojde ke vložení čekacích cyklů jako při prvním čtení. Proto pro využití plné rychlosti je doporučeno psát program lineárním způsobem. Tento způsob je podporován instrukční sadou některých mikroprocesorů např. ARM.

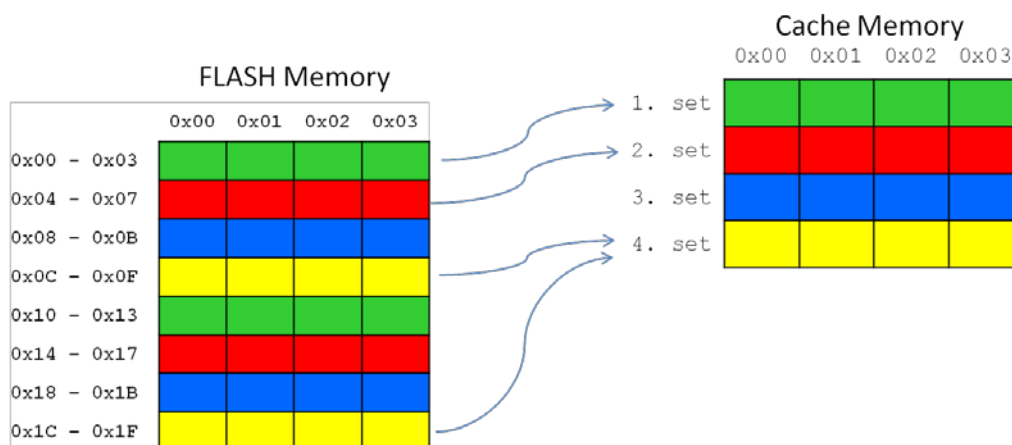
1.2.2. 64-bit, 4 way, 8-set cache memory

Vyrovňovací (cache) paměť ukládá již vykonaný program. Vyžaduje-li program skok zpět a tento program je uložený v cache paměti, je tento program znovu načten z cache paměti bez jakéhokoli zpoždění. DSC 56F84xxx implementuje tzv. 4 way, set associative cache memory. Do cache paměti lze uložit 8 záznamů

(setů) o velikosti 64 bitů. Celkově lze uložit v cache paměti 256 bajtů (8x4x8). Funkci cache paměti si vysvětlíme v následujících kapitolách.

1.2.2.1. Direct mapped cache memory

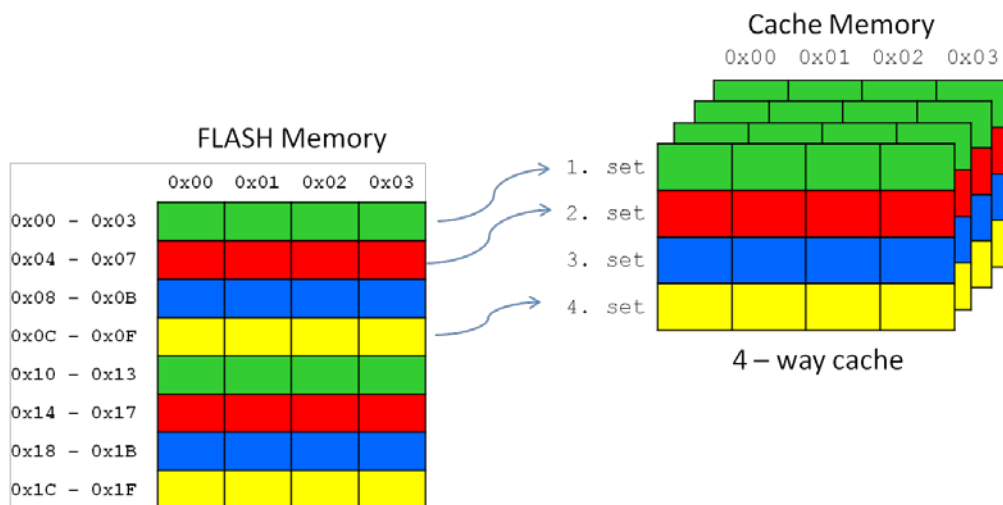
Funkce přímo adresované vyrovnávací paměti můžeme vidět na Obrázku 1.8. FLASH paměť je rozdělena na jednotlivé záznamy v délce odpovídající jednomu záznamu v cache paměti. Každému záznamu je automaticky přiřazena pozice v cache paměti. Na Obrázku 1.8 můžeme vidět cache paměť se čtyřmi záznamy, takže každý čtvrtý záznam v FLASH paměti je umístěn na stejné místo v cache paměti. Výhodou této cache paměti je její nejjednodušší implementace. Nevýhodou je, že každý čtvrtý záznam v paměti FLASH přemaže stará data v cache paměti.



Obrázek 1.8 Direct mapped cache memory

Set associative cache memory je vylepšená varianta direct mapped cache memory. V principu jde o několik direct mapped cache pamětí. Počet těchto pamětí odpovídá počtu cest (ways). Na Obrázku č. 1.9 jsou zobrazeny 4 ways. Další záznam, který by přepsal první pozici v cache paměti tak může být zapsán do dalších třech záznamů. Vybrán bude záznam s nejstaršími daty. Některé cache paměti umožňují zvolit do které cesty (way) budou zapisována jen data, program nebo oboje. Nevýhodou této cache je složitější implementace, protože se musí rozhodovat, který záznam je v daném setu nejstarší.

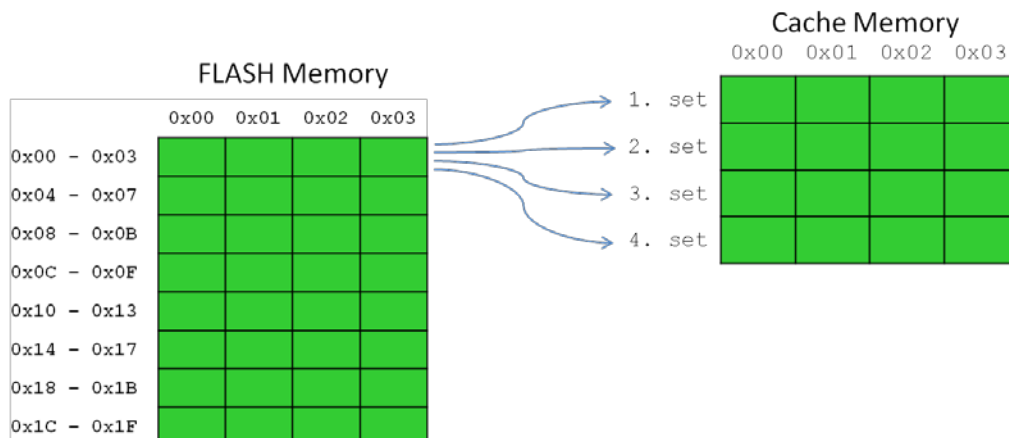
1.2.2.2. Set Associative cache memory



Obrázek 1.9 Set associative cache memory

1.2.2.3. Full Associative cache memory

Ve full asociative cache paměti (Obrázek 1.10) se každý záznam z paměti cache může zapsat do jakéhokoliv záznamu (setu) v cache paměti. Nejstarší záznam v cache paměti je přepsán. Funkčně nejlepší, ale implementačně nejnáročnější varianta cache paměti.



Obrázek 1.10 Full associative cache memory

1.2.3. *Single Entry Buffer*

Single entry buffer pracuje jako single set cache. Je používán jako vyrovnávací buffer pokud sběrnice centrální procesorové jednotky má jinou šířku sběrnice než FLASH paměť.

2. NOVINKY V MIKROPOČÍTAČÍCH FREESCALE ŘADY DSC 56F84xxx

V roce 2012 uvedla firma Freescale na trh novou rodinu signálových kontrolérů MC56F84xxx. Tato řada používá inovovanou centrální procesorovou jednotku DSP56800EX. Centrální procesorová jednotka DSP56800EX byla rozšířena o nové instrukce násobení a MAC 32-bit x 32-bit = 64 bit. Dále přibyla nová instrukce pro bitové operace a reverzní adresování. Nové jádro také obsahuje stínové registry pro celou adresovací jednotku. Nové mikroprocesory obsahují následující specifikaci:

- 100 MHz/100MIPS 56800EX CPU
- Harvard architektura
- 32 x 32bit MAC and 32bit aritmetické operace
- 2.7-3.6V napájecí napětí
- 256kB Program/Data FLASH
- 32kB Data Flash nebo 2kB of emulated EEPROM
- 32kB Data/Program RAM
- Resource Protection Unit
- 3 HS-QSCI (8MBS) , 3xQSPI, 2xIIC/SMBus, 1xFlexCAN
- 2 QTimers
- 2 PIT časovače
- 2 Programmable Delay Blocks
- 8ch FlexPWM
- 8ch eFlexPWM s rozlišením 312ps
- 8ch x 2 12-bit ADC converter with built-in PGA
- čas převodu 300ns/3.33Msps
- 8ch 16bit SAR ADC s teplotním senzorem a vnitřní referencí
- Čas převodu: 2us
- 4 analogové komparátory včetně 6-bit DAC
- 1 Quadrature Decodér
- 1ch 12bit DAC
- DMA controller
- Inter-Module Crossbar

- On-chip napěťový regulátor (jediné napájení 3.3V)
- Teplotní rozsah: -40C to +105C

Tato řada je dostupná v těchto variantách:

Part Number	MC56F84																	
	789	786	769	766	763	553	550	543	540	587	585	567	565	462	452	451	442	441
Core freq. (MHz)	100	100	100	100	100	80	80	80	80	80	80	80	80	60	60	60	60	60
Flash memory (KB)	256	256	128	128	128	96	96	64	64	256	256	128	128	128	96	96	64	64
FlevNVM/ FlexRAM (KB)	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2	32/2
Total flash memory (KB) ¹	288	288	160	160	160	128	128	96	96	288	288	160	160	160	128	128	96	96
RAM (KB)	32	32	24	24	24	16	16	8	8	32	32	24	24	24	16	16	8	8
Memory resource protection	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
External Watchdog	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
12-bit Cyclic ADC channels	2x8 (300 ns)	2x8 (300 ns)	2x8 (300 ns)	2x8 (300 ns)	2x8 (300 ns)	2x8 (300 ns)	2x5 (300 ns)	2x8 (300 ns)	2x5 (300 ns)	2x8 (600 ns)	2x8 (600 ns)	2x8 (600 ns)	2x8 (600 ns)	2x8 (600 ns)	2x8 (600 ns)	2x5 (600 ns)	2x8 (600 ns)	2x5 (600 ns)
16-bit SAR ADC (with Temp Sensor) channels	1x 16	1x 10	1x 16	1x 10	1x8	1x8	0	1x8	0	1x 16	1x 10	1x 16	1x 10	0	1x8	0	1x8	0
PWMA with input capture:																		
High-resolution channels	1x8	1x8	1x8	1x8	1x8	1x8	1x6	1x8	1x6	0	0	0	0	0	0	0	0	0
Standard channels	4	1	4	1	1	1	0	1	0	2x 12	1x 12, 1x9	2x 12	1x 12, 1x9	1x9	1x9	1x6	1x9	1x6

Part Number	MC56F84																	
	789	786	769	766	763	553	550	543	540	587	585	567	565	462	452	451	442	441
PWMB with input capture: Standard channels	1x12	1x7	1x12	1x7	0	0	0	0	0	0	0	0	0	0	0	0	0	0
12-bit DAC	1	1	1	1	1	1	1	1	1	1	1	0	0	1	0	0	0	0
Quad Decoder	1	1	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1
DMA	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
CMP	4	4	4	4	4	4	3	4	3	4	4	4	4	4	4	3	4	3
QSCI	3	3	3	3	2	2	2	2	2	3	3	3	3	2	2	2	2	2
QSPI	3	2	3	2	2	2	2	2	2	3	2	3	2	2	2	2	2	2
I2C/SMBus	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
FlexCAN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
LQFP package pin count	100	80	100	80	64	64	48	64	48	100	80	100	80	64	64	48	64	48

Řada 56F84xxx přináší některé nové systémové periferie jako:

- Přepínač sběrnice (AXBS)
- Řadič paměti FLASH (FMC)
- Řadič přístupu do paměti (MRP)
- DMA řadič
- AND/OR/INVERT (AOI) Modul
- Inter-Peripheral Crossbar Switch A (XBARA)
- Inter-Peripheral Crossbar Switch B (XBARB)

A dále některé další nové periferie jako:

- Podpora pro výpočet Cyclic Redundancy Check (CRC)
- 16-bit SAR A/D převodník (ADC16)
- eFlexPWM modul s vysokým rozlišením (PWMA)
- FlexPWM modul s funkcí input capture (PWMB)
- Quadrature dekodér (ENC)

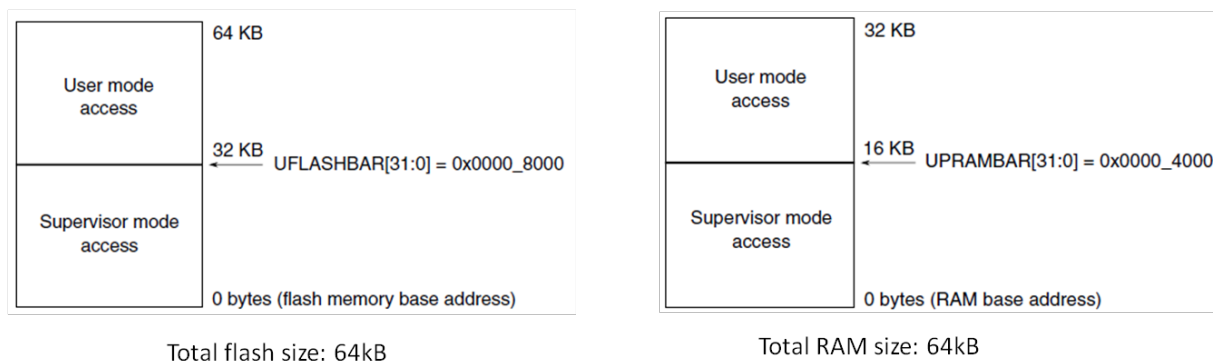
V následujících kapitolách je uveden stručný popis všech nových periférií.

2.1. Přepínač sběrnice a řadič paměti FLASH

Obě periferie byly popsány v předchozí kapitole.

2.2. Řadič přístupu do paměti (MRP)

Tento modul umožňuje rozdělit paměť FLASH a RAM na dvě oblasti: supervizor a uživatel. Paměť FLASH může být rozdělena s rozlišením 8kB a paměť RAM s rozlišením 512B.



Obrázek 2.1 Příklad nastavení MRP modulu

Toto rozdělení umožňuje běh programu ve dvou módech: supervisor a uživatel. V obou módech je k dispozici vlastní stack. Modul také zajišťuje bezpečný přechod mezi oběma módy. V módu supervisor jsou uživatelům dostupné veškeré zdroje mikroprocesoru. V režimu uživatel je k dispozici pouze část paměti program FLASH a RAM vymezená MRP modulem. Přístup uživatele do oblasti definované pro režim supervisor v režimu uživatel vyvolá přerušení illegal operation. Příklad nastavení MRP modulu zobrazuje Obrázek 2.1.

2.3. Přímý přístup do paměti (DMA)

Modul přímého přístupu do paměti umožňuje výměnu dat mezi pamětmi a všemi periferiemi bez zásahu centrální procesorové jednotky. Modul DMA má následující vlastnosti:

- 4 nezávislé DMA kanály
- Read-write přenos pomocí přepínače sběrnice
- Šířka dat 8-, 16-, or 32-bitů
- Kontinuální nebo pouze jeden přenos na jednu žádost
- 16 různých zdrojů pro žádost o přenos
- Nezávislá zdrojová a cílová adresa
- Podpora modulo adresování

- nezávislá velikost přenosu pro zdroj a cíl
- Linkování kanálů
- Pevná priorita DMA kanálů

2.4. CRC modul

Cyclic redundancy check (CRC) modul generuje 16/32-bitové CRC. CRC modul umožňuje nastavení všech parametrů pro implementaci výpočtu standardního 16-bitového nebo 32-bitového CRC.

2.5. 12-bit Cyclic Analog-to-Digital Converter (ADC12)

ADC modul se skládá ze dvou nezávislých ADC převodníků, z nichž každý samostatný sample and hold (S/H) obvod. Každý z převodníků má osm analogových vstupů jednoduše ovladatelných díky vstupnímu multiplexeru. ADC kromě analogové části obsahuje i výkonnou řídicí logiku umožňující efektivní a snadné nastavování a přeprogramování v reálném čase.

2.5.1. *ADC - vlastnosti*

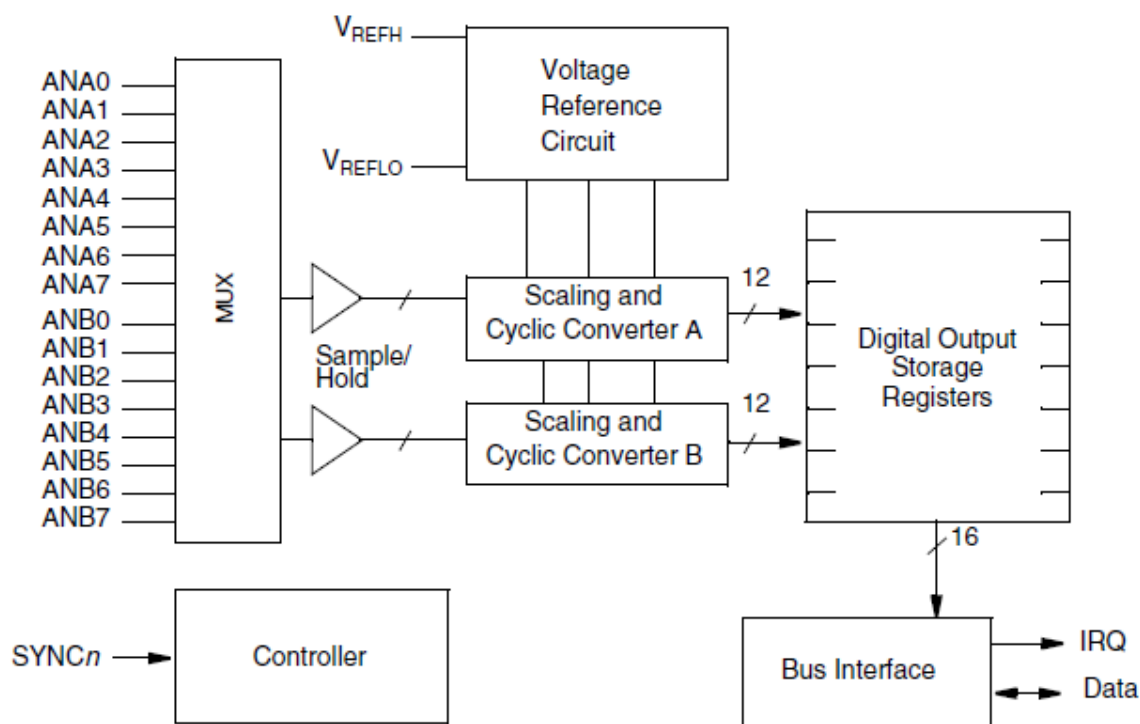
ADC modul charakterizují následující vlastnosti:

- Rozlišení – 12-bitů
- Maximální frekvence hodin převodníku – 20 MHz, což odpovídá periodě 50 ns
- Vzorkovací rychlost – až $6.67 \cdot 10^6$ vzorků za sekundu
- Doba převodu jednoho převodníku (první převod) – 8.5 ADC hodinových cyklů ($8.5 \times 50 \text{ ns} = 425 \text{ ns}$)
- Doba převodu jednoho převodníku (následující převody) – 6 ADC hodinových cyklů ($6 \times 50 \text{ ns} = 300 \text{ ns}$)
- Doba odpovídající osmi převodům - 26.5 ADC hodinových cyklů ($26.5 \times 50 \text{ ns} = 1.325 \mu\text{s}$) s využitím paralelního módu
- ADC synchronizace s PWM modulem přes SYNC0/1 vstupní signály – propojeno vnitřně na čipu
- Schopnost sekvenčně převést a uložit až 16 měření

- Schopnost převést a uložit až 8 měření pro každý z převodníků v případě použití simultánního a paralelního módu
- Schopnost převést a uložit až 8 měření pro každý z převodníků v případě, že převodníky běží asynchronně
- Volitelná přerušování v případě ukončení převodu (end of scan), překročení limitů (out-of-range limit exceeded) nebo v případě průchodu nulou (zero crossing)
- Volitelná korekce převedeného výsledku pomocí odečtení předprogramované offset hodnoty
- Signed nebo unsigned výsledky
- Diferenciální vstupy nebo signál vztažený k zemi ADC modulu
- Zesílení vstupních signálů: 1x, 2x a 4x

2.5.2. *ADC – blokový diagram*

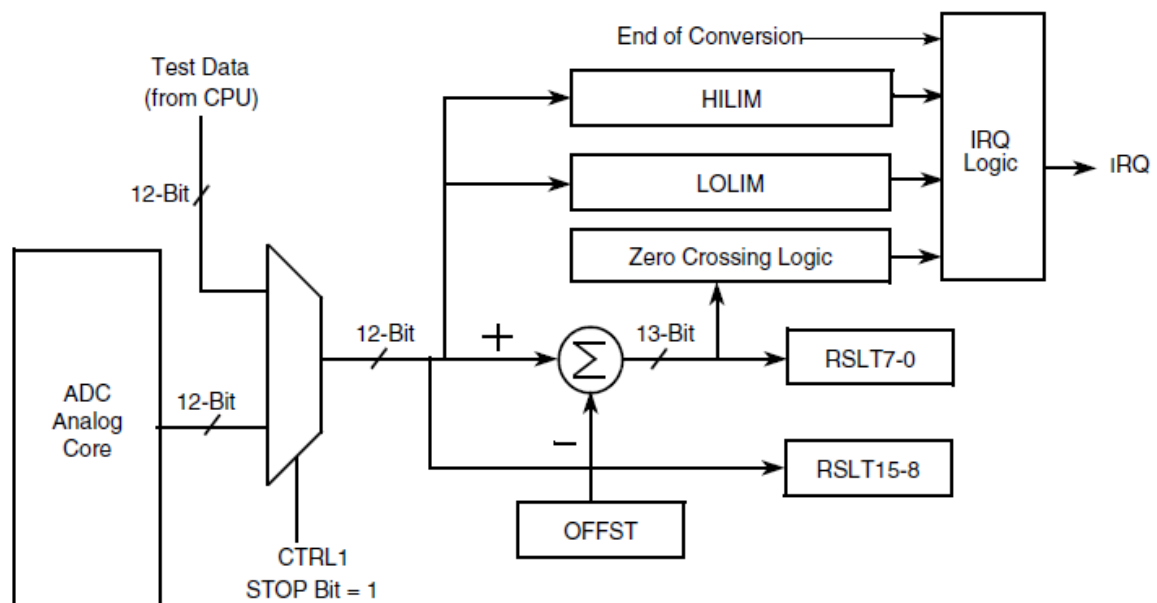
Následující [Obrázek 2.2](#) demonstruje konfiguraci ADC modulu



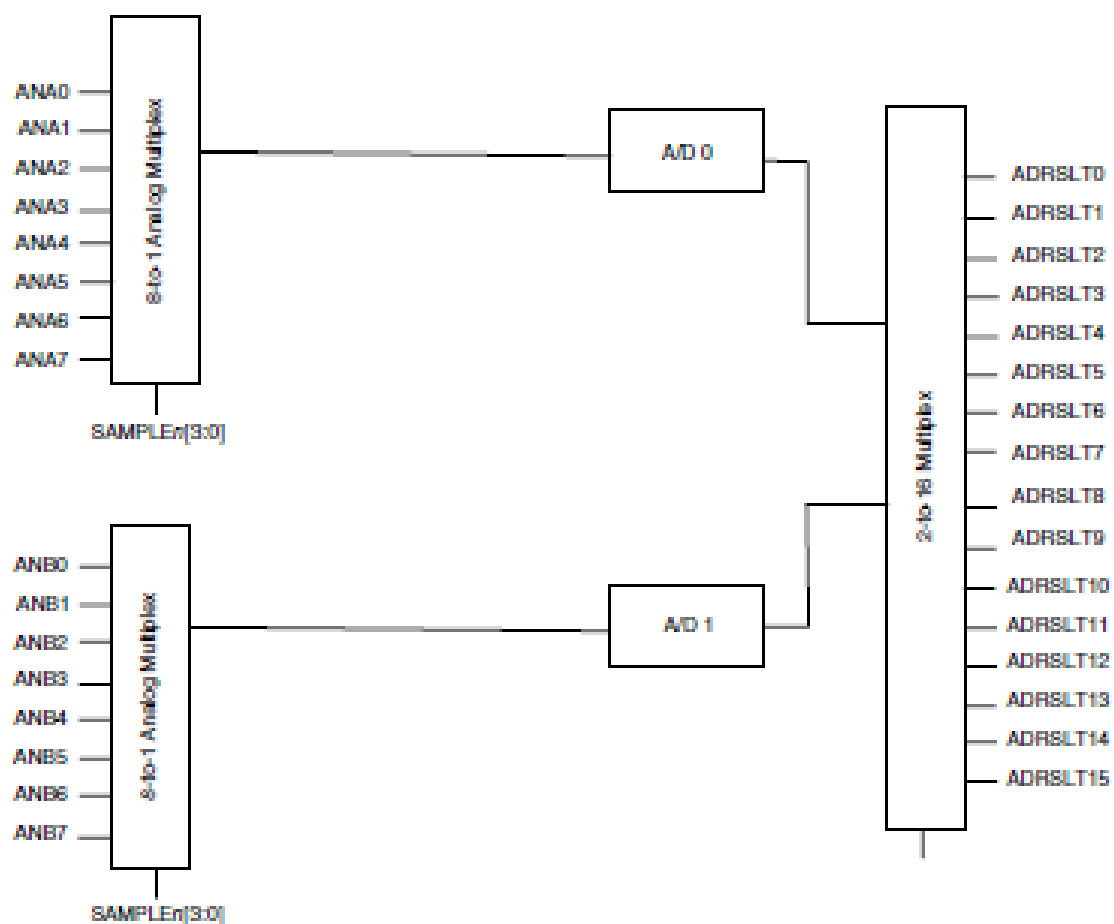
Obrázek 2.1 Blokový diagram ADC modulu se dvěma nezávislými převodníky

2.5.3. *ADC – zpracování dat převodníkem*

[Obrázek 2.3](#) ukazuje zpracování výsledku převodu ADC převodníkem.

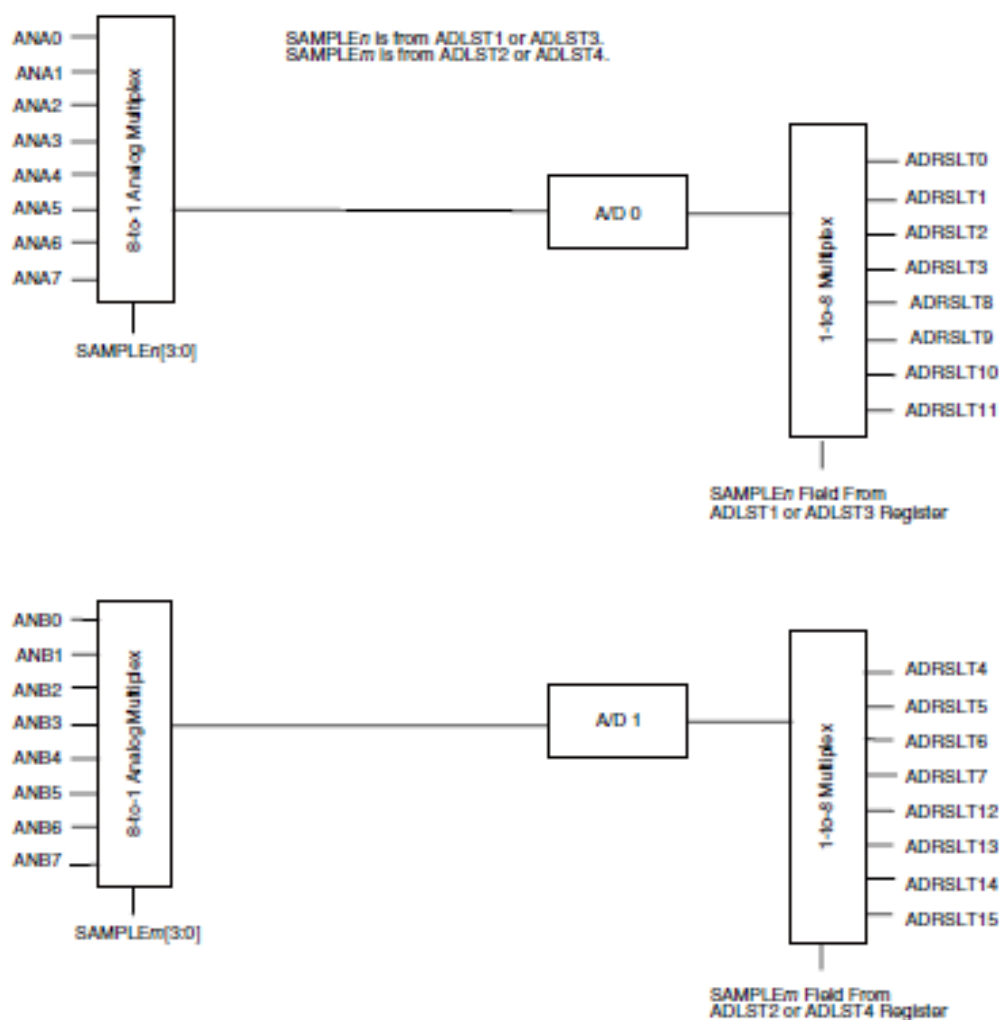


Obrázek 2.2 Zpracování výsledku převodu ADC převodníkem



Obrázek 2.4 ADC- sekvenční skenování

Výsledky převodu (hrubá data) se následně zpracovávají jednotkou, která je součástí ADC převodníku. Analogový signál po převodu jde do sčítačky, kde dochází volitelně k odečtení hodnoty nastavené uživatelem v offset registru (OFFST). Následně je výsledek uložen do výsledkového registru (RSLT). Hodnota offsetu může být aplikována na výsledkové registry 0 až 7 (RSLT0-7) a to proto, že máme k dispozici osm offset registrů (OFFST0-7). Ve zbývajících výsledkových registrech 8-15 (RSLT8-15) jsou uložena přímo hrubá data převedená převodníkem bez jakéhokoliv předzpracování. Ve stejném okamžiku jsou data jdoucí z převodníku porovnávána s uživatelsky definovanými mezemi HILIM (horní limit) a LOLIM (dolní limit) a generují se přerušení v případě, že jsou povolena. Data z výsledkového registru jsou ještě porovnávána Zero Crossing logikou a v případě průchodu nulou může být opět generované přerušení.



Obrázek 2.5 ADC- paralelní skenování

V sekvenčním módu je možno získat 16 ADC převodů, které jsou postupně uloženy do výsledkových registrů ADRSLT0 až ADRSLT15. Analogové vstupy ANA0 až ANA7 jsou připojené přes multiplexor na AD převodník ADC0 a vstupy ANB0 až ANB7 na ADC1

V paralelním módu jsou první 4 výsledky převodu AD převodníku ADC0 uloženy ve výsledkových registrech ADRSLT0 až ADRSLT3 a další 4 výsledky pak v ADRSLT8 až ADRSLT11. Podobně pro AD převodník ADC1, kde první 4 výsledky převodu jsou uloženy ve výsledkových registrech ADRSLT4 až ADRSLT7 a další 4 výsledky pak v ADRSLT12 až ADRSLT15.

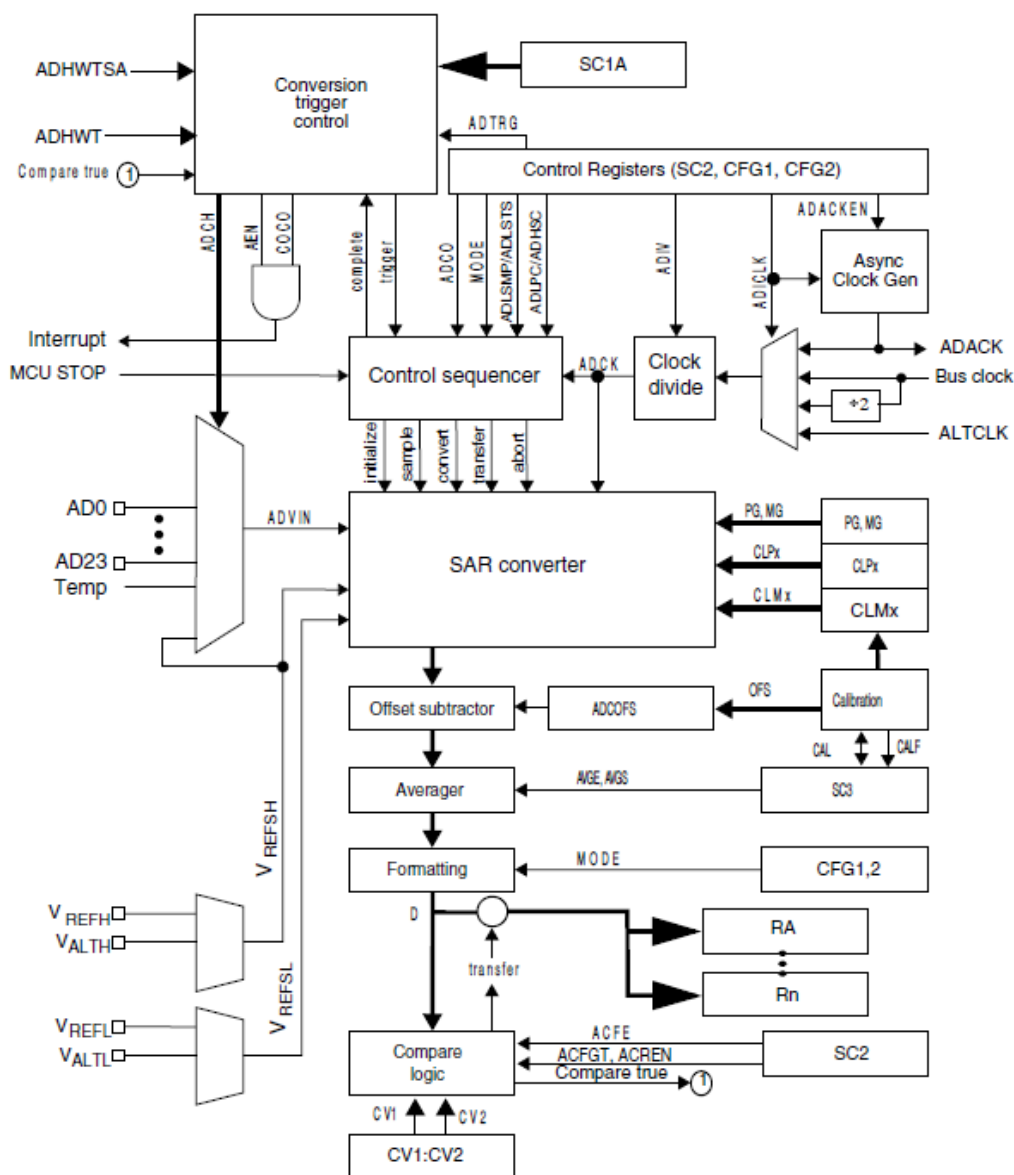
2.6. 16-bit SAR Analog-to-Digital Converter (ADC16)

Další ADC modul dostupný v mikrokontrolérech této řady je 16-bitový a používá k převodu metodu lineární postupné aproximace. Vlastnosti tohoto převodníku jsou následující:

- Linear successive approximation algoritmus s rozlišením 16-bitů
- Až 24 analogových vstupů
- 16-bit, 12-bit, 10-bit, a 8-bitový mód
- unsigned format pro výsledek
- jednorázový nebo kontinuální převod
- Nastavitelný čas samplování a převodu
- Přerušování ukončení převodu
- Vstupní hodiny ze čtyř různých zdrojů
- Funkční Low-Power módech
- Volitelný hardwarový trigger
- Automatické porovnání s přerušování menší než, větší než, rovno, v mezích, mimo meze
- Teplotní sensor
- Hardwarové průměrování
- Volitelná napěťová reference
- Automatická kalibrace

Blokové schéma 16-ti bitového převodníku zobrazuje Obrázek 2.6. SAR převodník obsahuje pouze jeden řídicí registr a jeden registr pro výsledek. Řídicí

registr obsahuje informaci, který kanál bude převáděn, jakým způsobem se spustí převod a zda se vyvolá přerušení po ukončení převodu. Je-li aktivováno hardwarové průměrování, převod se spustí tolikrát, kolikrát je potřeba pro výpočet průměrné hodnoty. Průměrná hodnota je automaticky vypočítána a přerušení je vyvoláno, pokud je povoleno.

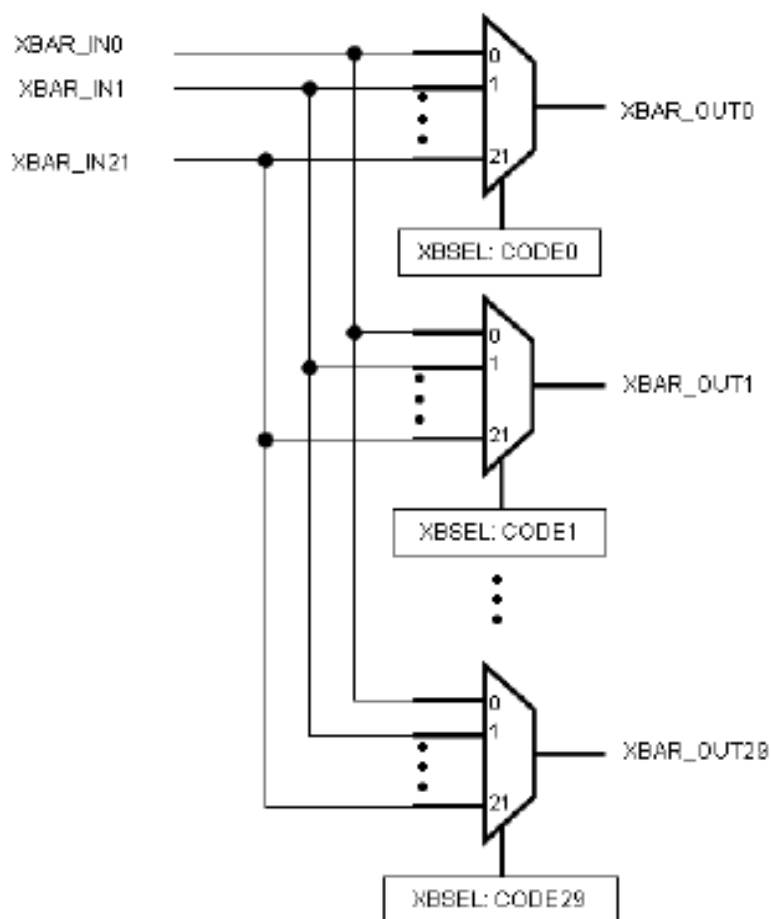


Obrázek 2.6 Blokové schéma 16-bitového SAR A/D převodníku

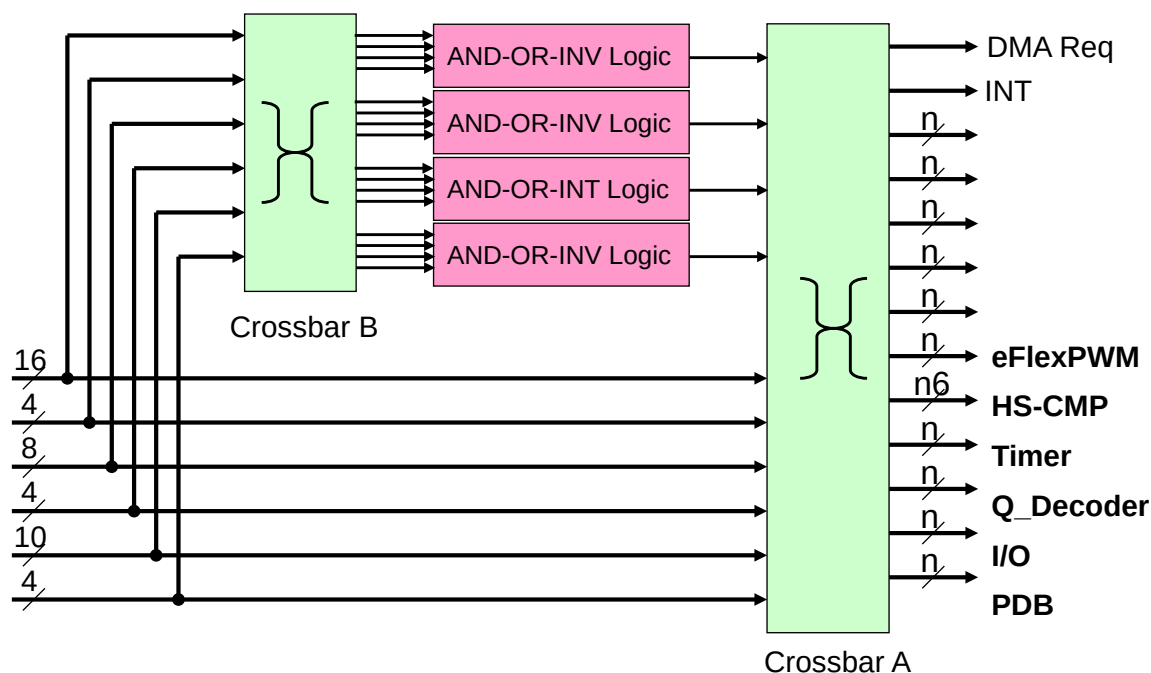
2.7. Crossbar Switch (XBAR) + AOI modul

Mikroprocesory řady MC56F84xxx obsahují celkem dva Crossbar switche – Crossbar switch A a Crossbar switch B. Crossbar switch je v podstatě pole

multiplexerů s N vstupy a M výstupy. Crossbar switch A má 50 vstupů a 59 výstupů. Crossbar switch B má 26 vstupů a 16 výstupů. Všechny výstupy Crossbar switche B jsou připojeny na vstupy AND/OR/INV modulu. Tento modul umožňuje vytvořit libovolnou logickou funkci z každé čtveřice vstupních signálů. Všechny výstupy AND/OR/INV modulu jsou připojeny na vstupy Crossbar switche A. Záměrem těchto tří modulů je poskytnout uživateli flexibilitu v propojování signálů uvnitř čipu. Jednotlivé vstupy jsou pevně definovány v závislosti na implementaci mikroprocesoru a může se jednat jak o piny mikroprocesoru, tak i o signály které jsou interně generovány jednotlivými periferiemi. Crossbar switch umožňuje vzájemně propojovat moduly jako PWM, ADC, DAC, časovače, komparátory, GPIO, atd.



Obrázek 2.7: Crossbar switch - blokový diagram



Obrázek 2.8: Inter-peripheral crossbar on MC56F84xxx

2.8. eFlexPWM moduly (PWMA, PWMB)

Mikroprocesory řady MC56F84xx obsahují buďto jeden nebo dva eFlexPWM moduly (PWMA, PWMB). Oba PWM moduly je komplexní moduly speciálně navržené pro použití ve spínaných zdrojích a pro různé konfigurace aplikací s elektrickými pohony. eFlexPWM modul se skládá ze 4 téměř ekvivalentních pod modulů. Každý pod modul lze použít pro řízení jedné dvojice tranzistorů střídače. Tento modul umožňuje generovat různé tvary spínacích signálů. Oba PWM moduly se mírně liší. PWMA modul obsahuje podporu pro generování signálů s vysokým rozlišením. Tato funkce není dostupná v modulu PWM B.

2.8.1. eFlexPWM – vlastnosti

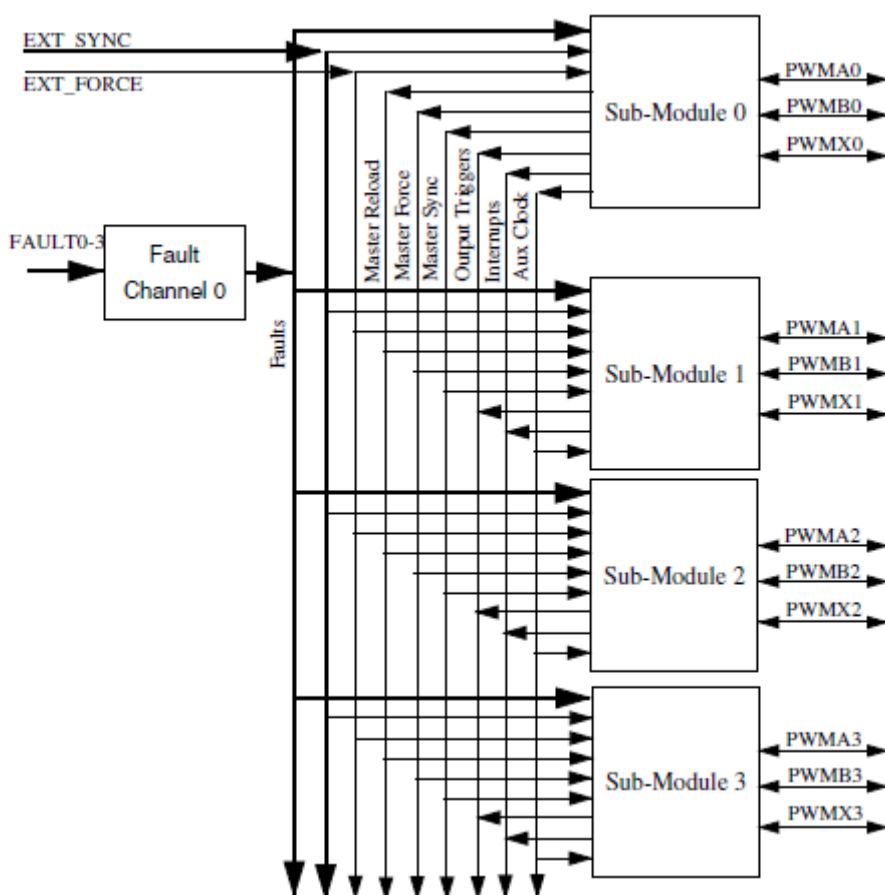
- eFlexPWM modul obsahuje typicky 4 submoduly, přičemž submodul 0 má funkci Master, která umožňuje použít tento submodul pro synchronizaci ostatních submodulů
- Umožňuje generovat PWM signály - center, edge aligned a libovolný asymetrický signál díky možnosti definovat nezávisle nástupnou a sestupnou hranu PWM signálu

- 16-bitové rozlišení
- Fractional delay hardware umožňující výrazně zlepšit rozlišení PWM modulu - vhodné právě pro spínané zdroje
- Fractional delay modul poskytuje dalších 5-bitů analogového zpoždění. Pak lze dosáhnout při vstupním hodinovém signálu do modulu 100MHz ekvivalentního hodinového signálu 3.2GHz
- PWM výstupy mohou být generovány nezávisle nebo komplementárně
- Zajímavou vlastností je, že modul umožňuje definovat střidu s použitím reprezentace čísel se znaménkem
- Podporuje možnost hardwarové synchronizace eFlexPWM modulu s ostatními periferiemi mikropočítače, speciálně pak s modulem ADC.
- Podpora tzv. double switching PWM signálu. Tato technika je vhodná pro rekonstrukci 3-fázových proudů z měření na DC-bus rezistoru
- Speciální FAULT vstupy umožňující řídit stavy PWM výstupů na základě havarijních stavů (nadproudy, přepětí, atd.)
- Možnost filtrování chybových vstupů
- Plně hardwarová podpora vkládání deadtime časů nezávisle pro horní a spodní tranzistory
- Každý submodul může běžet na vlastní frekvenci a navíc s různými vstupními hodinami
- Každý PWM výstup může být řízený i softwarově
- Každý submodul obsahuje speciální vstup-výstup PWMX, který může být nakonfigurován jako vstupní (input capture) nebo výstupní a pak může sloužit ke generování dalšího PWM výstupu z daného submodulu
- V případě 4 submodulů lze generovat 8 samostatných PWM výstupů nebo 4 dvojice komplementárních signálů, plus další 4 PWM vstupy nebo výstupy jsou k dispozici jako signály PWMx

- Push-Pull nebo open drain módy pro PWM piny
- Programovatelný vstupní filtr pro chybové piny
- Ochrana PWM modulu ve formě write-protected registrů

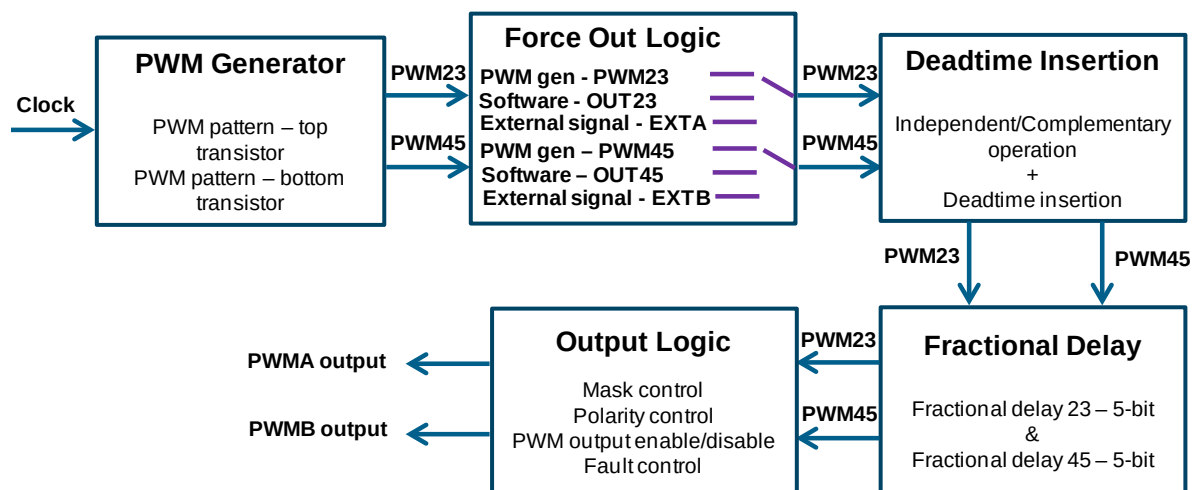
2.8.2. *eFlexPWM – blokový diagram celého modulu*

Jak již bylo zmíněno v předchozí kapitole eFlexPWM modul se skládá ze 4 submodulů: submodul 0, submodul 1, submodul 2 a submodul 3. Všechny 4 submoduly jsou ekvivalentní, pouze submodul 0 může sloužit jako "master" pro synchronizaci s ostatními submoduly. Každý submodul generuje 3 výstupní signály PWMAx, PWMBx a PWMXx. Kromě těchto signálů moduly generují a zpracovávají celou řadu dalších signálů zřejmých z blokového diagramu.



Obrázek 2.9: eFlexPWM modul - blokový diagram celého modulu

2.8.3. *eFlexPWM – principiální schéma*



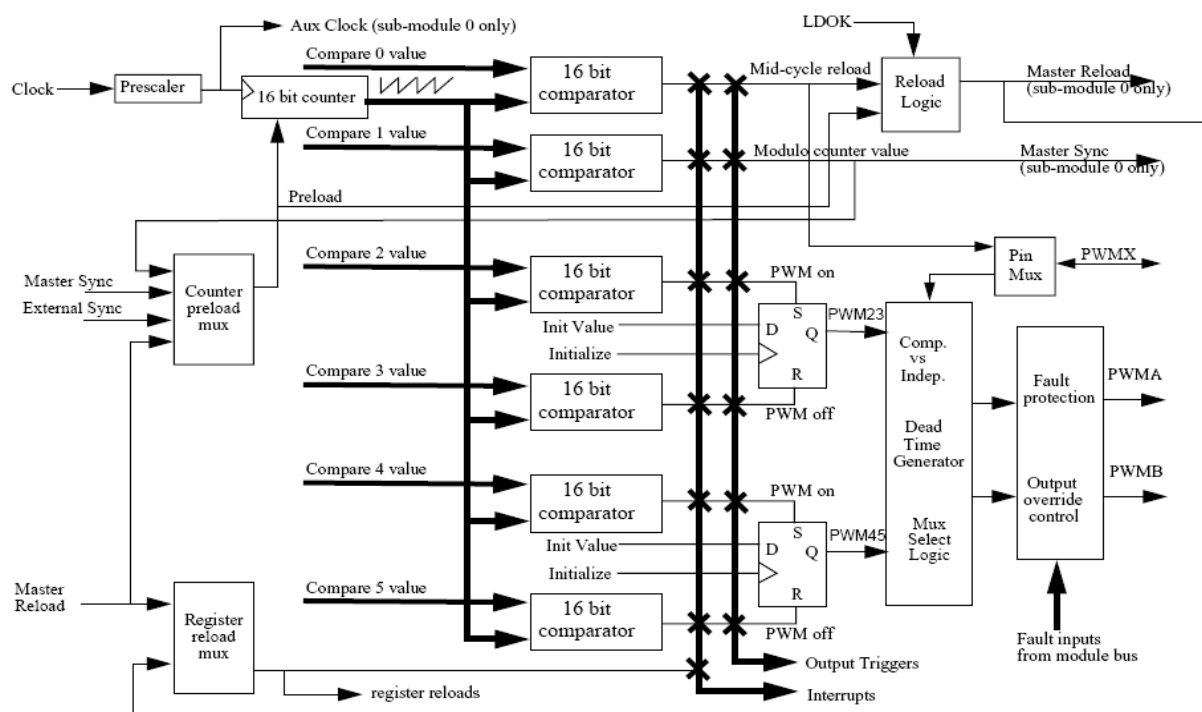
Obrázek 2.10: Principiální schéma generování PWM signálů pomo eFlexPWM modulu

Principiální blokové schéma eFlexPWM submodulu je zobrazeno na Obrázku 2.9. Základním blokem celého modulu je generátor PWM signálů. Vstupem PWM generátoru jsou hodiny, které mohou být různé pro každý submodul. PWM generátor generuje širkově modulovaný signál, výstupy PWM23 a PWM45. Tyto dva signály jsou pak dále zpracovávány blokem Force Out Logic, který na základě celé řady interních signálů vybírá výsledné výstupní PWM signály, PWM23 a PWM45. Tento blok rozhoduje o tom, zda signály generované PWM generátorem, externím signálem nebo softwarem budou následně zpracovány blokem Deadtime Insertion. Blok Deadtime Insertion zabezpečuje korektní vkládání deadtime prodlevy na základě volby typu generovaných signálů. Ty mohou být komplementární nebo nezávislé (independent). Deadtime prodleva se do signálů vkládá automaticky v případě generování komplementárních signálů. Výstupem z bloku Deadtime Insertion jsou opět dva signály PWM23 a PWM45. Tyto dva signály jsou následně zpracovávány blokem Fractional Delay, který zabezpečuje vysoké rozlišení PWM signálů. Toto je dosaženo speciálním hardwarovým řešením, které umožňuje dělit čas mezi dvěma hodinovými signály. Poslední blok nazývaný Output Logic plní celou řadu funkcí: zabezpečuje chování PWM výstupů ve stavech Fault, vytváří interface mezi výstupy PWM modulu a hardwarem, který je externě k PWM modulu připojen, povoluje a zakazuje propojení PWM signálů na piny mikropočítače a zabezpečuje funkčnost "Mask control".

2.8.4. eFlexPWM – detail submodulu

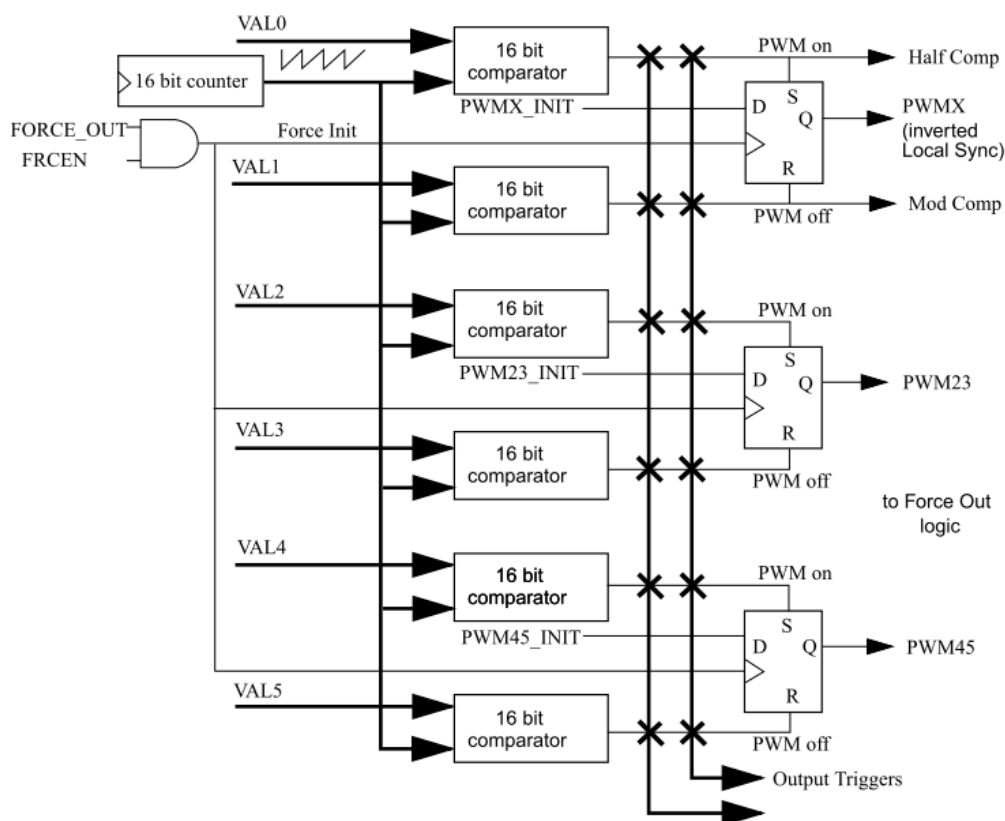
Detailní blokové schéma pod modulu je zobrazeno na Obrázku 2.11 a odpovídá principiálnímu schématu z Obrázku 2.10.

Princip funkce PWM generátoru je zobrazen na Obrázku 2.12. PWM generátor obsahuje 16-bitový čítač, který může volitelně čítat záporná čísla, dále pak 6 nezávislých 16-bitových komparátorů a 6 hodnotových registrů Val0 až Val5. Val1 definuje periodu PWM signálu, Val0 pak mid-cycle reload. Val2 a Val4 definují nástupné hrany PWM signálů PWM23 a PWM45 a Val3 a Val5 pak sestupné hrany PWM signálů. Výstupem PWM generátoru jsou signály PWM23, PWM45 a PWMX



Obrázek 2.11: eFlexPWM - detailní blokový diagram pod modulu

2.8.5. *eFlexPWM – PWM generator*



Obrázek 2.12 eFlexPWM - PWM generator

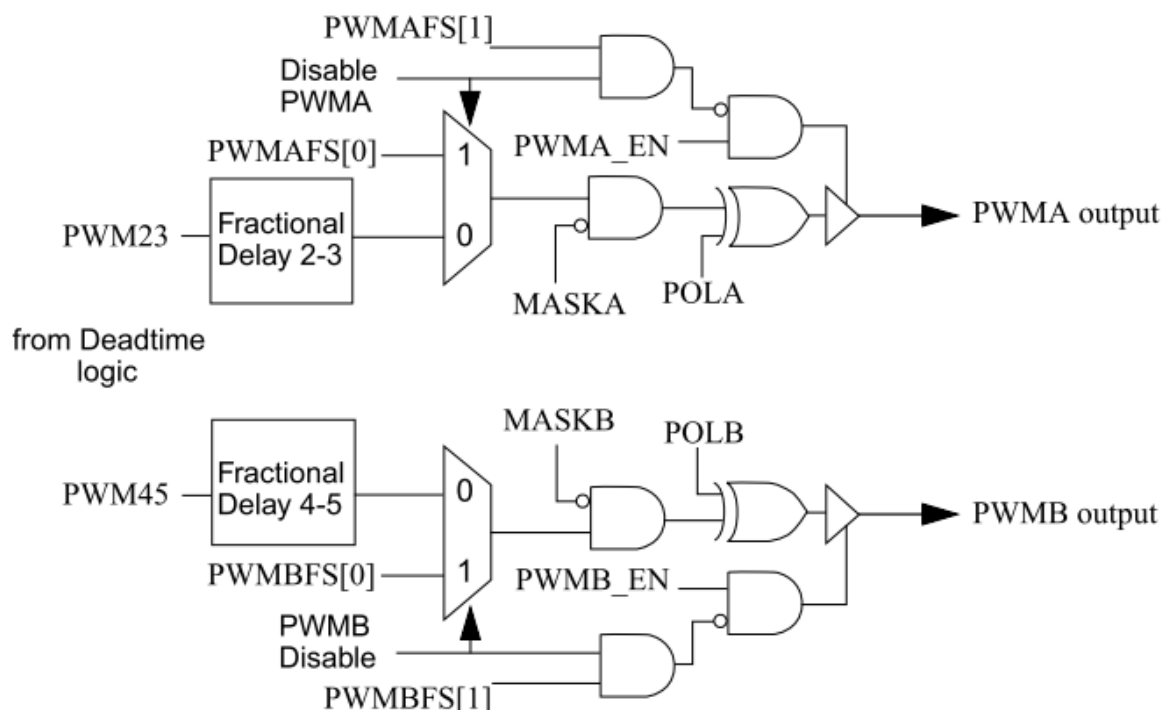
2.8.6. *eFlexPWM – Force Output Logic*

Force Output Logic poskytuje možnost volit různé zdroje signálů pro generování výsledného PWM výstupu. Máme k dispozici následující možnosti:

- PWM23/PWM45 - výstupy z PWM generátoru
- Negované signály PWM23/PWM45
- OUT23/OUT45 - definováno softwarově
- EXTA/EXTB - externí signály generované vně PWM modulu

Volba zdroje výstupního signálu je synchronizovaná na signálů FORCE_OUT

2.8.8. *eFlexPWM – Fractional Delay and Output Logic*



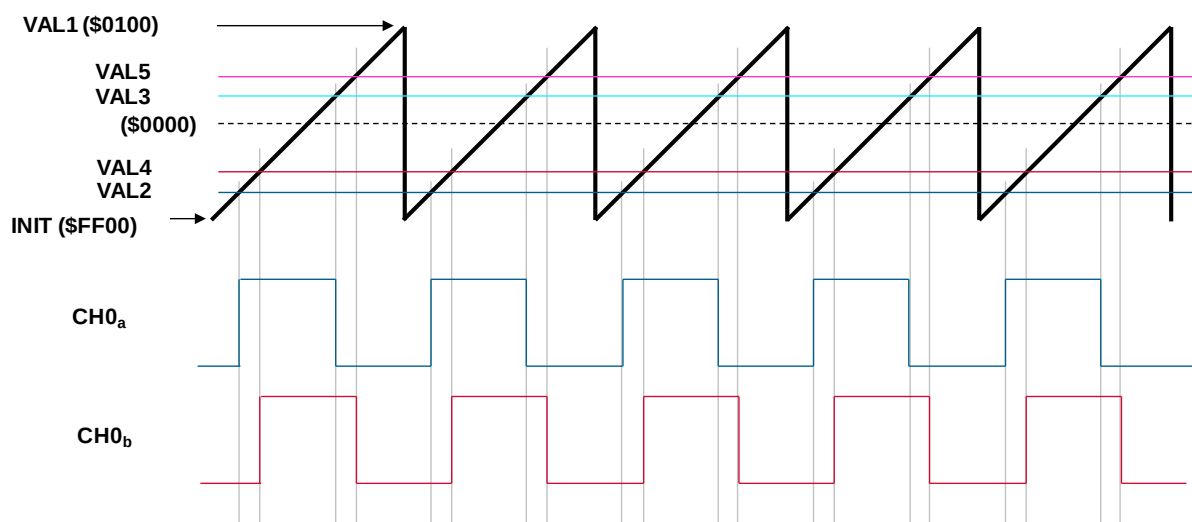
Obrázek 2.15 eFlexPWM - Fractional Delay and Output Logic

PWMA output a PWMB output jsou výsledné výstupní signály modulu eFlexPWM. Řídící bity POLA a POLB definují polaritu výstupního generovaného signálu v závislosti na připojeném externím obvodu. Řídící bity PWMA Disable/PWMB Disable umožňují odpojit a opět připojit PWM signály generované eFlexPWM modulem na piny mikropočítače. Této vlastnosti lze s výhodou použít při nastavování eFlexPWM modulu. Můžeme postupně nastavovat PWM modul a v okamžiku, kdy s jistotou víme, že modul je nastaven správně, povolíme generování PWM signálů na výstupní piny. Bity PWMAFS[0] a PWMAFS[1]/ PWMBFS[0] a PWMBFS[1] definují stav PWM výstupů v případě detekce stavu Fault. Bity MASKA/MASKB v případě nastavení na logickou 1 okamžitě maskují příslušný PWM signál, což vede k jeho nastavení na logickou 0. Ovšem polarita výstupního signálu je upravena bity POLA/POLB jak již bylo zmíněno.

Jak je patrné z obrázku, INIT hodnota definuje počáteční stav čítání čítače. Čítač pak čítá do hodnoty VAL1. Po dosažení hodnoty VAL1 dochází k přetečení a opět se začíná čítat od hodnoty INIT. Hodnoty INIT a VAL1 mohou být konstantní po celou dobu běhu PWM modulu nebo je lze měnit za chodu. Tyto

dva registry definují periodu PWM signálu. Registry symbolicky označené jako VAL2 a VAL3 definují nástupnou a sestupnou hranu výstupu PWM23 a VAL4 a VAL5 pak definují nástupnou a sestupnou hranu výstupu PWM45. Je zřejmé, že pokud chceme definovat nějakou z hran musí hodnoty VAL2/VAL3/VAL4/VAL5 ležet mezi hodnotou VAL3/VAL4/VAL5 ležet mezi hodnotou INIT a VAL1.

2.8.9. *eFlexPWM – Princip generování obecného PWM signálu*

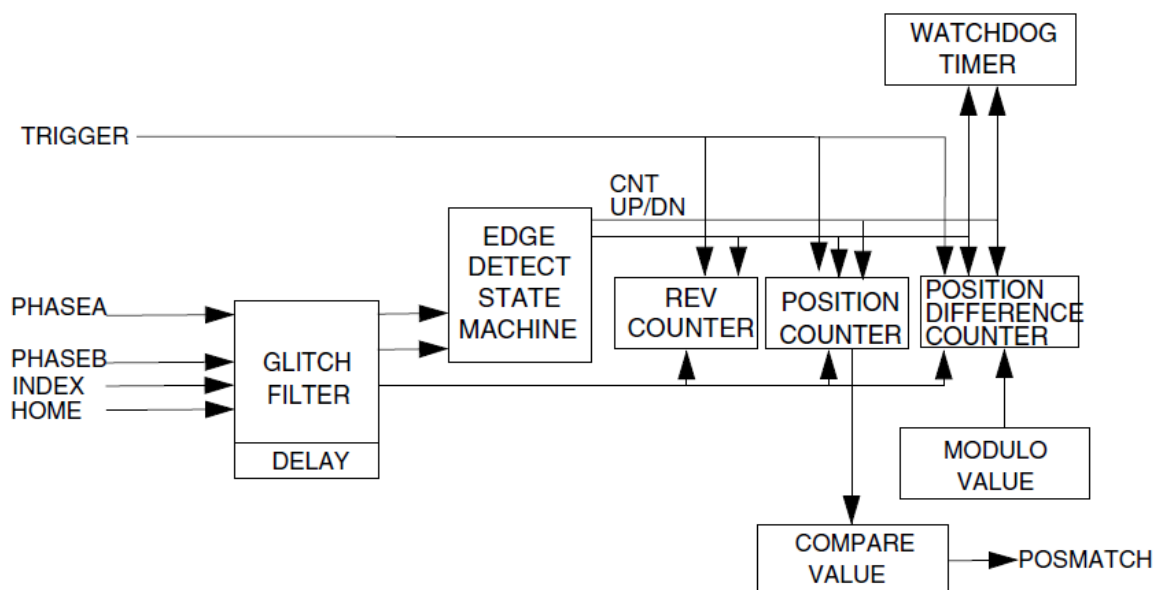


Obrázek 2.16 eFlexPWM - Princip generování obecného PWM signálu

2.9. Quadrature dekodér (ENC)

Quadrature dekodér slouží k dekódování signálů z quadrature enkodéru. Tento modul má následující vlastnosti:

- Logika pro dekódování quadrature signálů
- Konfigurovatelné digitální filtry pro všechny vstupy
- 32-bitový čítač pozice s modulo funkcí
- 16-bitový registr pro diferenci pozice
- Čítač pozice může být inicializován softwarově nebo hardwarově
- Přednastavitelný 16-bitový čítač otáček
- Watchdog pro detekci zastaveného rotoru
- Compare funkce při dosažení přednastavené pozice



Obrázek 2.17 Blokové schéma quadrature dekodéru

Quadrature dekodér je používán v aplikacích pro řízení motorů, kde quadrature enkodér je často používán jako čidlo otáček motoru nebo polohy hřídele. Quadrature enkodér obsahuje v minimální konfiguraci dva signály PHASEA a PHASEB. Tyto signály jsou vzájemně posunuté o 90 stupňů. Fázový posuv udává směr otáčení hřídele motoru. Plná konfigurace obsahuje také signál INDEX, generovaný jednou za mechanickou otáčku rotoru a HOME, který definuje koncovou polohu v aplikacích s lineárním posuvem. Quadrature dekodér dekóduje všechny signály a poskytuje informace o poloze rotoru, rychlosti motoru, případně koncové poloze, nezbytné pro řízení elektrických motorů.

SEZNAM POUŽITÉ LITERATURY

- [1] MC56F847XXRM.pdf - MC56F847XX Reference Manual
- [2] DSP56800ERM.pdf - DSP56800E and DSP56800EX Reference Manual

Centrum pro rozvoj výzkumu pokročilých řídicích a senzorických technologií
CZ.1.07/2.3.00/09.0031

Ústav automatizace a měřicí techniky
VUT v Brně
Kolejní 2906/4
612 00 Brno
Česká Republika

<http://www.crr.vutbr.cz>

info@crr.vutbr.cz